Chapitre 1 : Structure et modélisation des composants intégrés

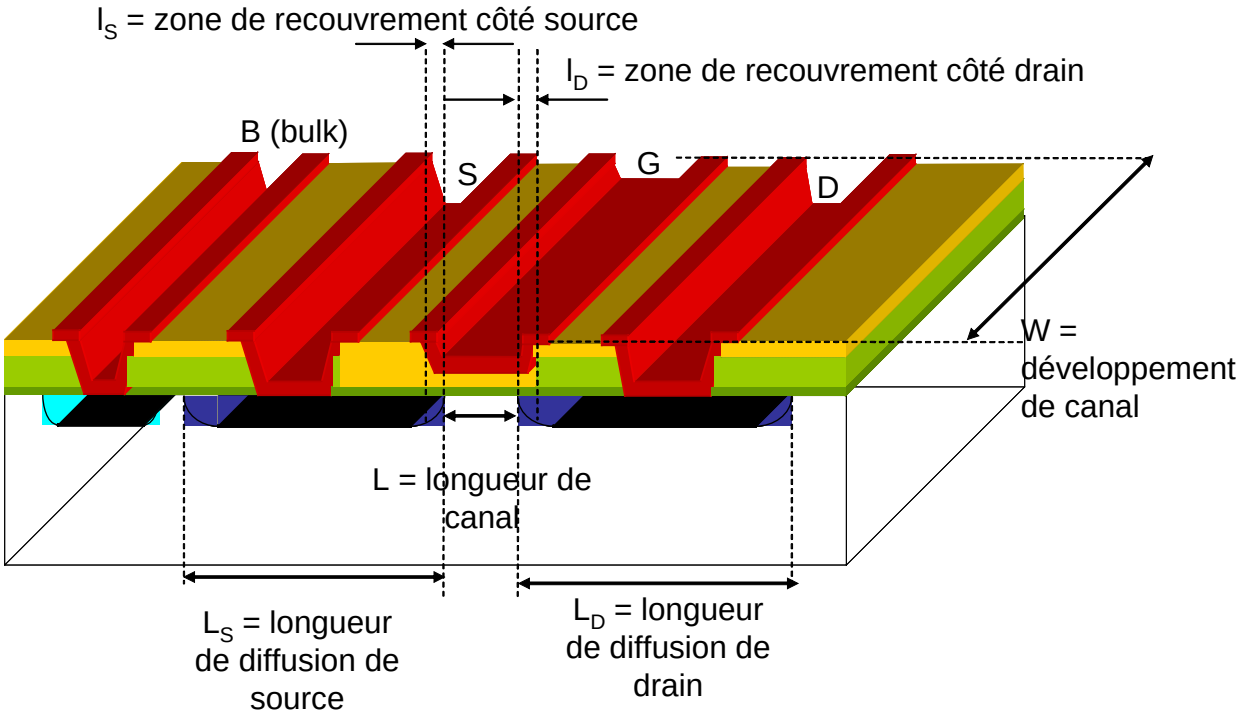
I Le transistor NMOS (métal-oxyde-semiconducteur à canal N)

I.1 Fabrication et symbolisme conséquent

I.1.1 Technologie de fabrication simplifiée

Est donnée ici une vue 3D d'un NMOS. Pour les principales étapes de fabrication, confer annexe et diaporama powerpoint : chapitre 1.ppt. Etapes simplifiées. Un exemple de réalisation du seul transistor NMOS.

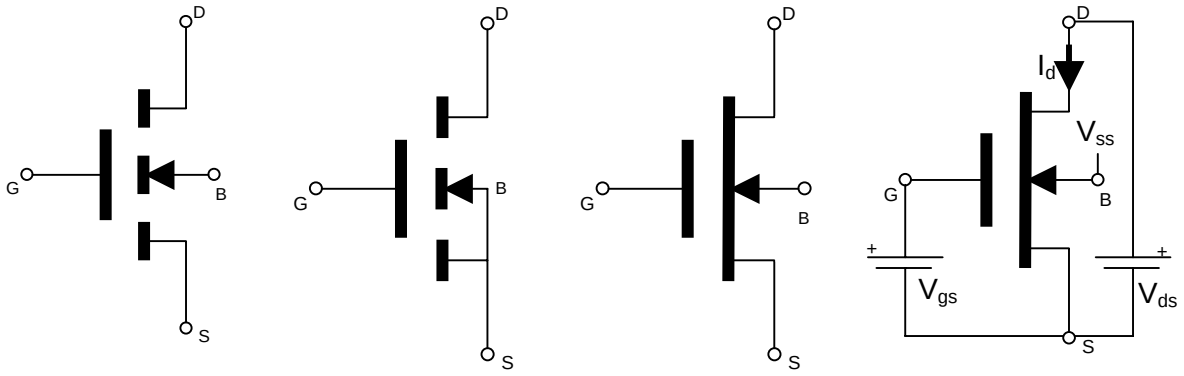
- Les grilles sont rarement métalliques mais souvent en polysilicium. Ce qui rajoute des étapes supplémentaires.
- La connexion bulk se fait toujours tout autour du transistor : elle enserre le transistor. Sur le schéma, seule une petite partie est représentée.
- Pour isoler le transistor du reste du circuit, une tranchée d'oxyde de silicium entoure le transistor sur environ 2µm.



I.1.2 Symbole

En toute rigueur le symbole prend en compte le substrat (bulk = B), à gauche. La flèche symbolise la formation du canal d'électrons qui sont attirés par la polarisation de grille

positive. Il est courant de connecter le bulk à la source, au milieu à gauche. On utilise parfois le symbole simplifié classique, au milieu à droite. La polarisation est représentée à droite

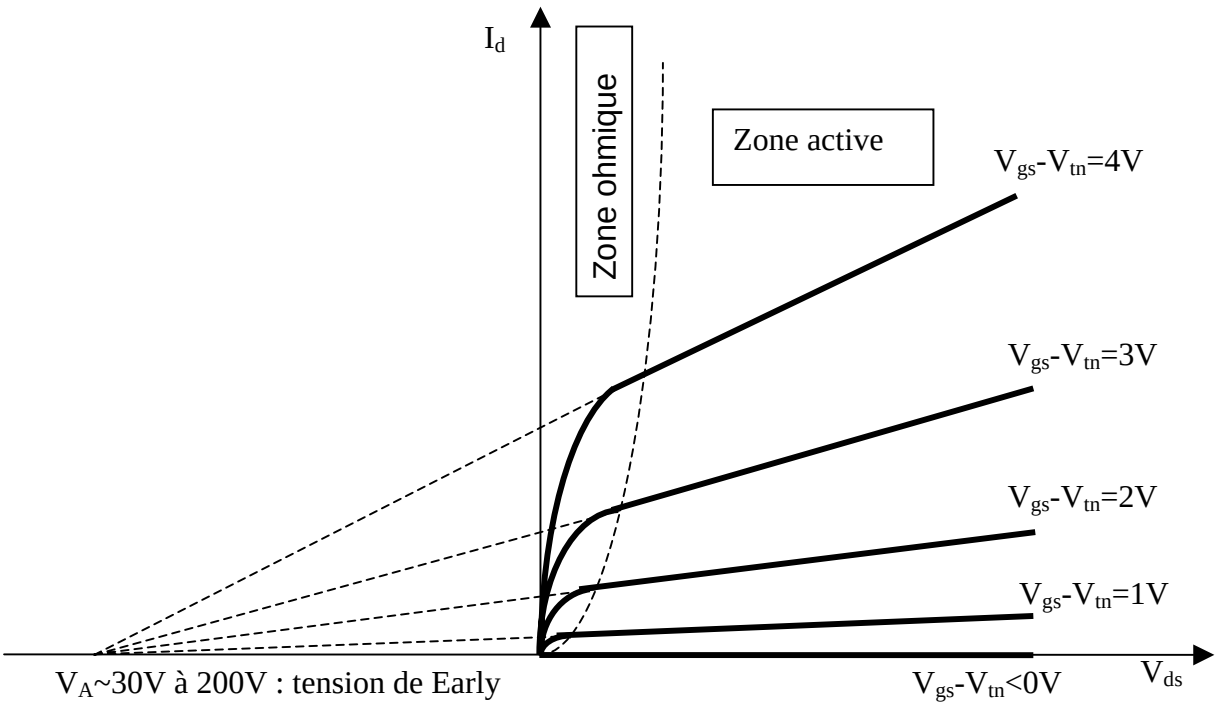


I.2 Fonctionnement amplificateur

I.2.1 Fonctionnement à tensions de polarisation fixes

On suppose le substrat relié à la source, elle-même reliée à la masse.
On applique une tension de grille telle qu'elle puisse attirer des électrons vers la grille, malgré la présence de la fine couche isolante d'oxyde. Cette tension limite s'appelle V_{tn0}. $V_{gs} > V_{tn0}$.
Donc un canal d'électrons se forme sous la grille. Les électrons proviennent des zones fortement dopées N^+ de la source et du drain.
Dans ce canal qui est comme un fil conducteur, on a d'un côté la source à la masse et de l'autre le drain tel que $V_{ds} > V_{gs} - V_{tn0}$.
Les électrons sont donc accélérés depuis la source vers le drain car **a** = -q/m **E** et **E** gradient de potentiel entre la source et le drain.
On a donc l'établissement d'un courant I_d du drain vers la source qui dépend de V_{gs} et de V_{ds}.

I.2.2 Caractéristiques I(V)



On distingue deux régions :

– région ohmique : pour $V_{ds}<V_{gs} - V_{tn}$

$$\boxed{I_d = \mu_n C_{ox} \frac{W}{L}\left[\left(V_{gs} - V_{tn}\right)V_{ds} - \frac{1}{2}V_{ds}^2\right]}$$

– région active : pour $V_{ds} \geq V_{gs} - V_{tn}$

$$\boxed{I_d = \frac{\mu_n C_{ox}}{2}\frac{W}{L}\left[V_{gs} - V_{tn}\right]^2 \underbrace{\left[1 + \frac{k_{en}}{L}V_{ds}\right]}_{\text{Effet Early}}} \quad \text{avec } V_{tn} \sim V_{tn0} + 0{,}2\ V_{sb}$$

Que l'on approxime par $\boxed{I_d = \frac{\mu_n C_{ox}}{2}\frac{W}{L}\left[V_{gs} - V_{tn}\right]^2}$ si $\boxed{V_{gs} - V_{tn} > 0{,}2V}$

L'effet Early est à rapprocher de celui que l'on voit dans les transistors bipolaires sous la forme V_A. Dans le cas des MOS on a l'équivalent $V_A = L/k_{en}$.

k_{en} caractérise l'effet Early (environ 0,04 µm/V)
C_{ox} : la capacité surfacique de l'oxyde de grille (environ 2 fF/µm²)
μ_n : mobilité des électrons dans le silicium (varie mais μ_{n0} environ 1150 cm²/V.s)
W : développement de la grille
L : longueur de grille
V_{tn0} = +0,8 V

On définit $\boxed{K_n = \frac{\mu_n C_{ox}}{2}}$ d'où : $\boxed{I_d = K_n \frac{W}{L}\left[V_{gs} - V_{tn}\right]^2}$

K_n=45 µA/V^2.

Lorsqu'on passe par un fondeur pour réaliser le circuit, ses procédés technologiques de production sont fixés (pour des raisons de coûts, il ne peut se permettre de proposer des solutions à la carte à chaque demandeur). Il impose donc les valeurs de C_{ox}, μ_n, k_{en}, K_n et à fortiori V_{tn0}.

Il impose également une valeur de L_{min} en dessous de laquelle il ne sait plus réaliser le circuit avec ce procédé technologique là. On parle par exemple de « techno 0,35 µm ». Cela signifie que l'on ne peut pas descendre en dessous de L_{min} = 0,35 µm. Par contre on peut choisir $L>L_{min}$.

C_{ox}, μ_n, k_{en}, K_n et V_{tn0} sont appelés paramètres technologiques.
Les paramètres technologiques donnés dans ce cours cette année sont pour 0,8 µm.

W et L sont appelés paramètres géométriques.

V_G, V_D sont appelées points de polarisation, V_{gs}, V_{ds} tensions de polarisation. Par abus de langage on confond souvent les deux termes, surtout que souvent V_S est à la masse.
I_d est appelé le courant de polarisation.

I.3 Détermination des éléments petits signaux et schéma équivalent en région active

On différentie la relation $I_d = f(V_{gs}, V_{ds}, V_{sb})$

Transconductances g_m et g_{mb} :

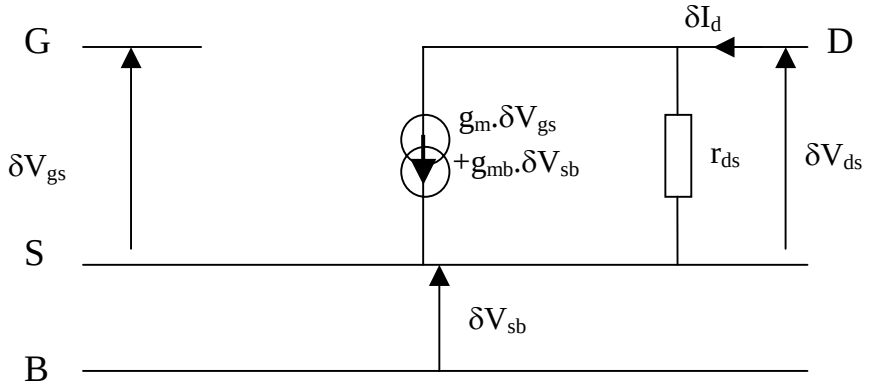
$$g_m = \frac{\delta I_d}{\delta V_{gs}} = 2K_n \frac{W}{L}\left[V_{gs} - V_{tn}\right] = 2\frac{I_d}{V_{gs} - V_{tn}}$$

$$g_{mb} = \frac{\delta I_d}{\delta V_{sb}} = -0{,}2 g_m \quad \text{ou nulle si } V_{sb} = 0$$

Résistance dynamique de sortie r_{ds} :

$$r_{ds} = \frac{\delta V_{ds}}{\delta I_d} = \frac{L}{k_{en}.I_d}$$

Schéma équivalent



Gain :

On a alors $\delta I_d = g_m \delta V_{gs} + g_{mb} \delta V_{sb} + \frac{1}{r_{ds}} \delta V_{ds}$

Le gain entre les petits signaux δV_{gs} et δV_{ds} est tout simplement :

$$G = \frac{\delta V_{ds}}{\delta V_{gs}} = -r_{ds}.g_m$$

Il existe également un gain entre δV_{sb} et δV_{ds} mais ce n'est pas celui qui nous intéresse.

Remarques :

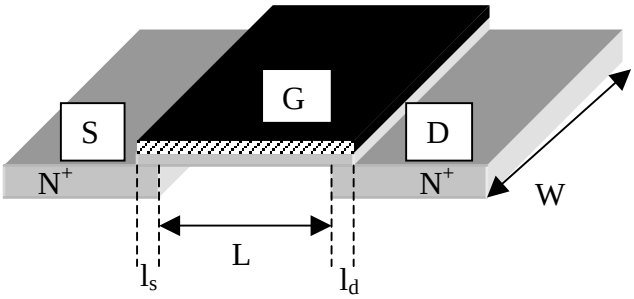
Les paramètres petit signal du MOS dépendent des paramètres technologiques, de la polarisation et des dimensions W et L.

Concevoir un circuit dans une technologie donnée consiste donc à dimensionner les paramètres géométriques et à choisir les points de polarisation adéquats de manière à respecter le cahier des charges de la fonction électronique que doit réaliser ce circuit.
Par exemple, si l'on veut un gain de 50, ce gain dépendra entre autres de W et de L.

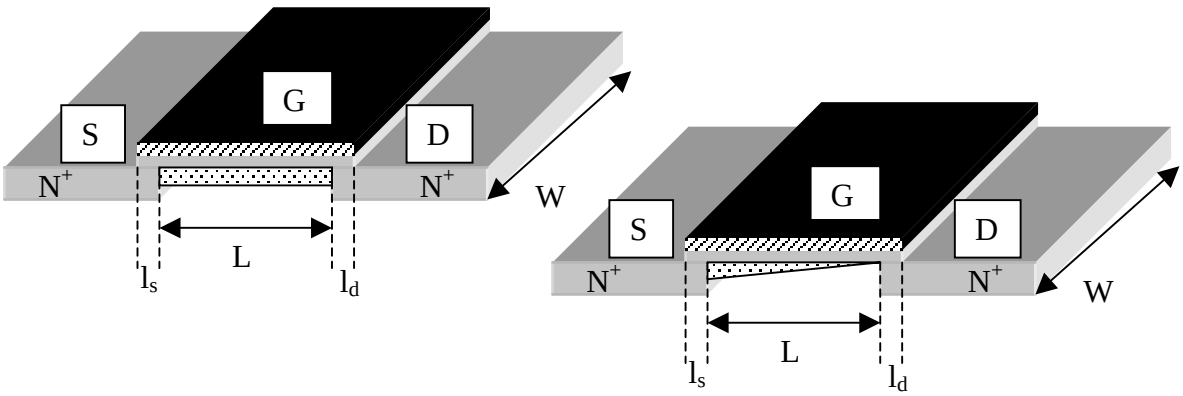
I.4 Les capacités parasites

I.4.1 Capacités d'oxyde

Comme leur nom l'indique, elles sont liées à la présence de l'oxyde de grille. On distingue la capacité d'oxyde côté source et la capacité d'oxyde côté drain.
D'un côté comme de l'autre, il existe une zone que l'on appelle zone de recouvrement l_s ou l_d due à une diffusion trop importante des espèces dopantes de la source et du drain. La couche d'oxyde mince comprise entre la grille et l_s agit comme une capacité entre la grille et la source. On a le même phénomène avec l_d entre la grille et le drain.
Ces capacités sont tout simplement égales à $\mathbf{C_{ox}.W.l_s}$ et $\mathbf{C_{ox}.W.l_d}$



De plus, du fait du canal d'électrons, un effet capacitif supplémentaire entre la grille et le canal de longueur L intervient qui devrait être égal à $\mathbf{C_{ox}.W.L}$. Toutefois, le canal n'est pas uniforme mais se pince progressivement au fur et à mesure que l'on se rapproche du drain. En effet la formation du canal est liée à la tension V_{gs} mais est également influencée par la tension V_{ds}.
Du côté source, $V_{canal\ -\ source} = V_{gs} - V_t$.
Du côté drain, $V_{canal\ -\ source} = V_{gs} - V_t - V_{ds}$.
Pour tenir compte du pincement, on approxime cette capacité par la formule suivante : $\mathbf{2/3.C_{ox}.W.L}$. Bien qu'elle soit distribuée, elle est attribuée à la source.



Au final, on a donc :

– une capacité d'oxyde grille drain $\boxed{C_{gd} = C_{ox}.W.l_d}$

– une capacité d'oxyde grille source $\boxed{C_{gs} = C_{ox}.W.l_s + \frac{2}{3}C_{ox}.W.L}$

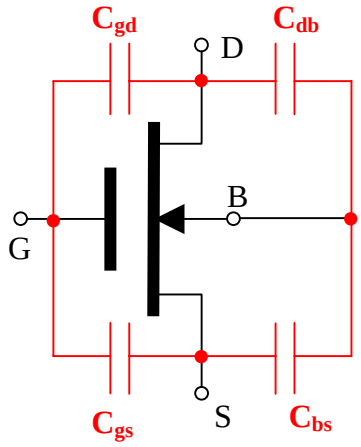
Remarque : souvent $l_s = l_d$ avec un ordre de grandeur de 0,1µm pour la techno 0,8µm.

I.4.2 Capacités de jonction

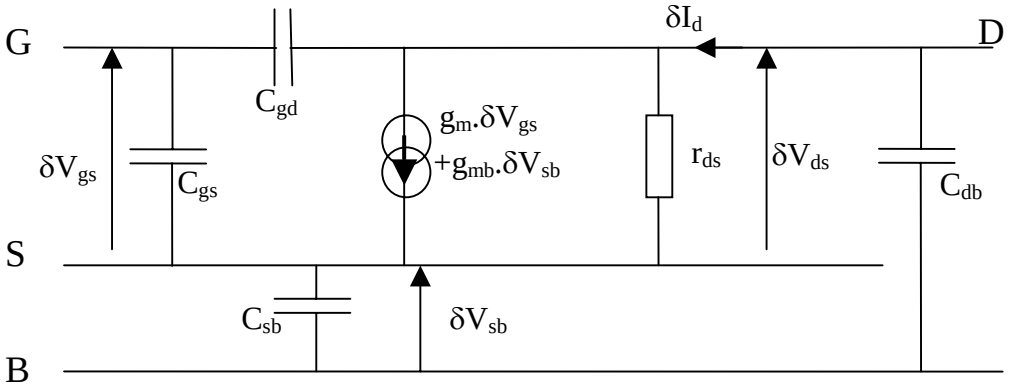
Elles sont liées à la présence du substrat de type P alors que les zones de diffusion sont de type N. On a donc affaire à une jonction PN qui présente un effet capacitif. Aux capacités d'oxyde précédentes on peut donc rajouter :

– $\boxed{C_{sb} = C_{db} = 1 \text{ fF pour } W = 1 \text{ µm}}$. (si W= 50 µm, alors $C_{sb} = C_{db} = 50$ fF).

D'où les capacités suivantes :



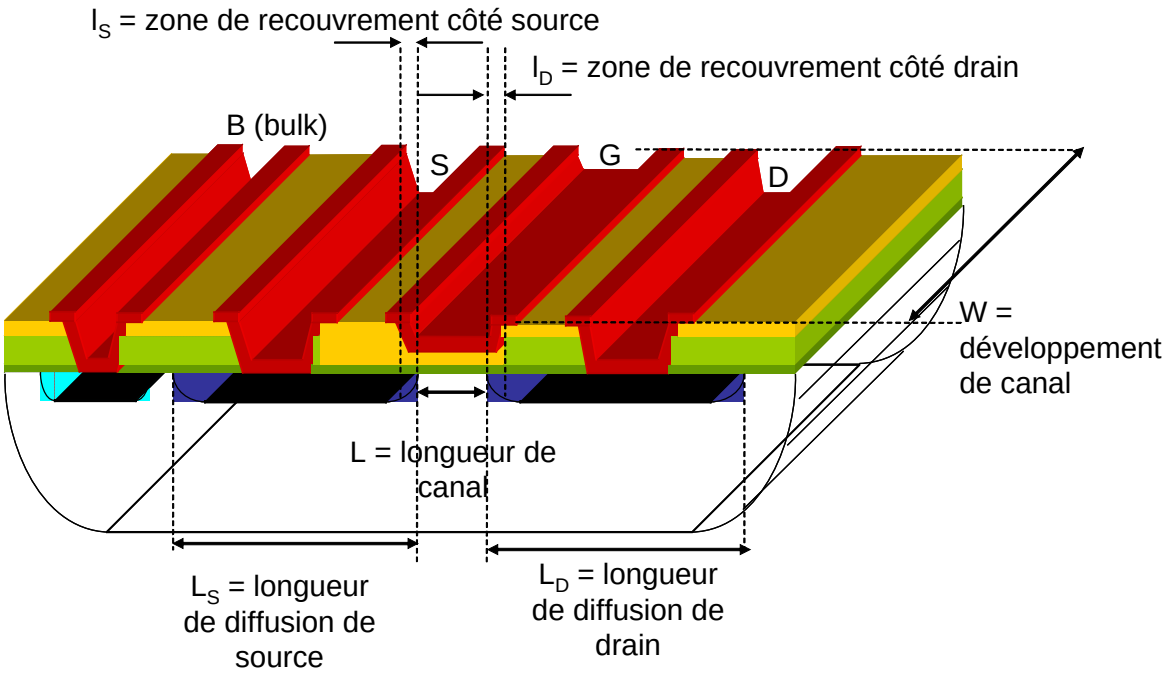
I.5 Schéma équivalent petit signal complet RF



II Le transistor PMOS (métal-oxyde-semiconducteur à canal P)

II.1 Fabrication et symbolisme conséquent

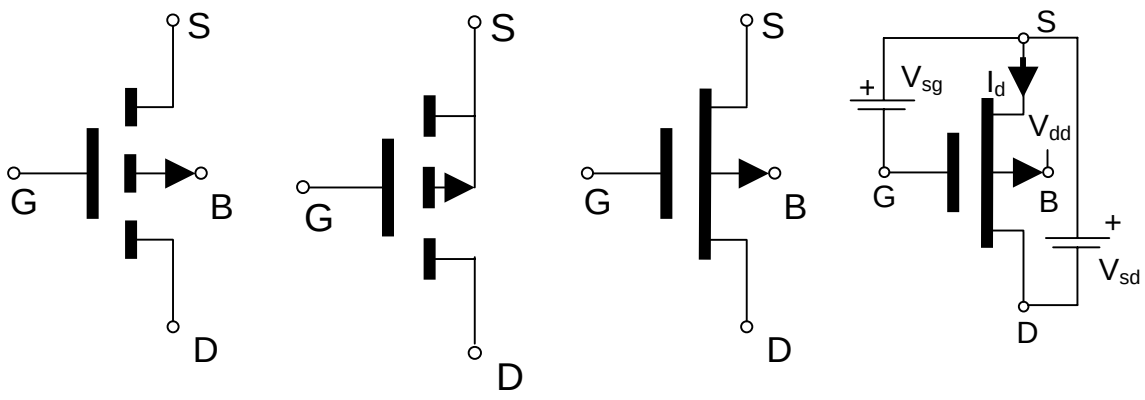
II.1.1 Technologie de fabrication simplifiée



Est donnée ici une vue 3D d'un PMOS. Pour les principales étapes de fabrication, confer suite de l'annexe et suite du diaporama powerpoint : chapitre 1.ppt.

- Il est courant de réaliser les transistors NMOS et PMOS en même temps. Seules les étapes de diffusion diffèrent. On masquera donc sur le transistor P les zones que l'on ne veut pas diffuser car elles concernent uniquement le transistor N et réciproquement.

II.1.2 Symbole



La flèche symbolise la formation du canal de trous qui sont attirés par la polarisation négative de grille ($V_{gs}<0$ ou $V_{sg}>0$).

II.2 Fonctionnement amplificateur

Le fonctionnement est identique à celui du NMOS. Les tensions de polarisation V_{gs} et V_{ds} sont négatives. Les trous sont attirés par le drain. Le courant I_d va de la source vers le drain. On parle plus volontiers des tensions V_{sg} et V_{sd} qui elles sont positives.
On distingue toujours deux régions sur la caractéristique $I_d = f(V_{sg}, V_{sd}, V_{bs})$

– région ohmique : pour $V_{sd}<V_{sg} - |V_{tp}|$

$$I_d = \mu_p C_{ox} \frac{W}{L}\left[\left(V_{sg} - |V_{tp}|\right)V_{sd} - \frac{1}{2}V_{sd}^2\right]$$

– région active : pour $V_{sd} \geq V_{sg} - |V_{tp}|$

$$I_d = \frac{\mu_p C_{ox}}{2}\frac{W}{L}\left[V_{sg} - |V_{tp}|\right]^2 \underbrace{.\left[1 + \frac{k_{ep}}{L}V_{sd}\right]}_{\text{Effet Early}} \quad \text{avec } |V_{tp}| \sim |V_{tp0}| + 0{,}2\ V_{bs}$$

Que l'on approxime par $I_d = \frac{\mu_p C_{ox}}{2}\frac{W}{L}\left[V_{sg} - |V_{tp}|\right]^2$ si $V_{sg} - |V_{tp}| > 0{,}2V$

k_{ep} caractérise l'effet Early pour le PMOS (environ 0,08 µm/V)
μ_p : mobilité des trous dans le silicium (environ 480 cm²/s)
V_{tp0} = - 0,8 V
On définit $K_p = \frac{\mu_p C_{ox}}{2}$ d'où : $I_d = K_p \frac{W}{L}\left[V_{sg} - |V_{tp}|\right]^2$
K_p=15 µA/V².

II.3 Détermination des éléments petits signaux et schéma équivalent en région active

On différentie la relation $I_d = f(V_{sg}, V_{sd}, V_{bs})$

Transconductances g_m et g_{mb} :

$$g_m = \frac{\delta I_d}{\delta V_{sg}} = 2K_p \frac{W}{L}\left[V_{sg} - |V_{tp}|\right] = 2\frac{I_d}{V_{sg} - |V_{tp}|}$$

$$g_{mb} = \frac{\delta I_d}{\delta V_{bs}} = -0{,}2 g_m \quad \text{ou nulle si } V_{bs} = 0$$

Résistance dynamique de sortie r_{ds} :

$$r_{ds} = \frac{\delta V_{sd}}{\delta I_d} = \frac{L}{k_{ep}.I_d}$$

Gain :

On a alors $\delta I_d = g_m \delta V_{sg} + g_{mb} \delta V_{bs} + \frac{1}{r_{ds}} \delta V_{sd}$

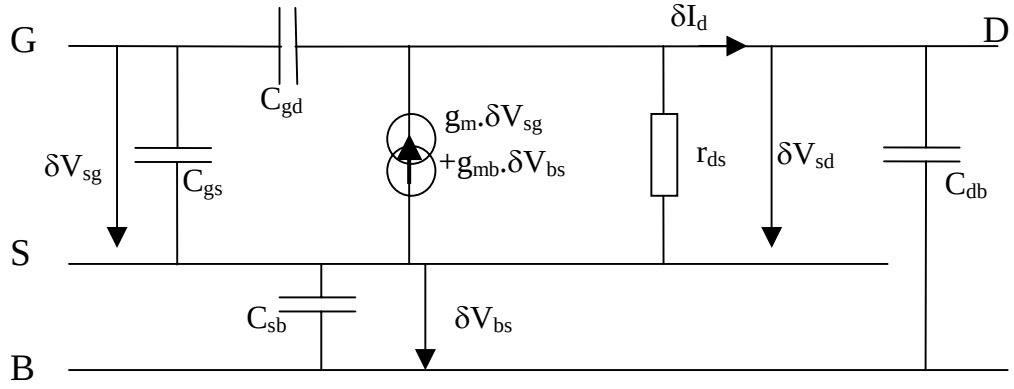
Le gain entre les petits signaux δV_{sg} et δV_{sd} est tout simplement :

$$G = \frac{\delta V_{sd}}{\delta V_{sg}} = -r_{ds} . g_m$$

II.4 Capacités parasites :

Elles sont strictement identiques à celles du NMOS.

II.5 Schéma équivalent petit signal complet RF



III Les éléments passifs

Techno actuelle en production courante et largement maîtrisée correspond à L_{min} = 0,13 µm. Il y a 6 niveaux de métal (cuivre, aluminium ou alliage alu-cuivre).
Après avoir réalisé le niveau transistor, on recouvre l'ensemble d'oxyde pour isoler le niveau. Puis l'on dépose le premier niveau de métal : les contacts vers la source, le drain et la grille sont réalisés au moyen de vias à travers l'oxyde.
Dans la techno 0,13 µm, il y 6 niveaux de métal. Chaque niveau de métal est isolé du précédent par une couche de diélectrique (oxyde et/ou nitrure).
Une des dernières techno commerciales est la techno 65nm qui comprend 6 à 10 niveaux métalliques.
Les résistances sont placées au niveau transistor.
Les capacités entre les niveaux 3 et 4.
Les inductances au dernier niveau.

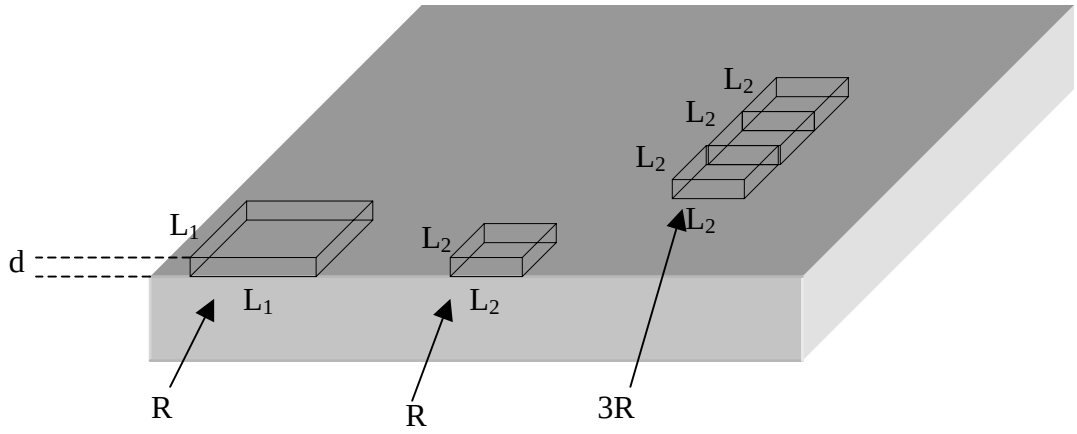
III.1 Les résistances

Il y a plusieurs façons de réaliser des résistances.

L'idée est la suivante : dans une ligne métallique sur du silicium, il y a une certaine résistivité linéique au passage du courant. On ajuste donc la longueur de la ligne pour obtenir la résistance voulue. Le problème est que le métal n'est pas suffisamment résistif pour atteindre les valeurs de résistance désirées. Au lieu d'utiliser une ligne métallique on se sert alors de lignes en polysilicium (par exemple celui qui a servi à réaliser la grille) dont la résistivité est beaucoup plus importante.

On entend souvent parler de résistance carrée exprimée en Ohm.square. En fait, son unité est l'ohm. On précise simplement « square » car le calcul de ces résistances est soumis à quelques hypothèses spécifiques.
En considérant le schéma suivant, où la longueur L du barreau de résistivité ρ est égale à la largeur l de la surface (l.d), on a R = ρL/S = ρL/ld = ρ/d.

Ainsi quel que soit le carré de métal que l'on prend, il a la même résistance puisque L=l. D'où le terme de résistance carrée.



III.2 Les capacités

Historiquement, lorsqu'on réalisait des composants intégrés en microélectronique, le métal n'intervenait pas : tout était réalisé en polysilicium. La raison principale est que l'on ne maîtrisait pas les problèmes d'électromigration du métal vers les couches diélectriques et/ou

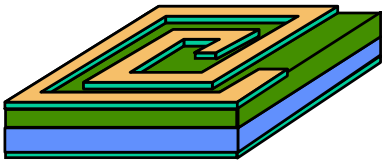
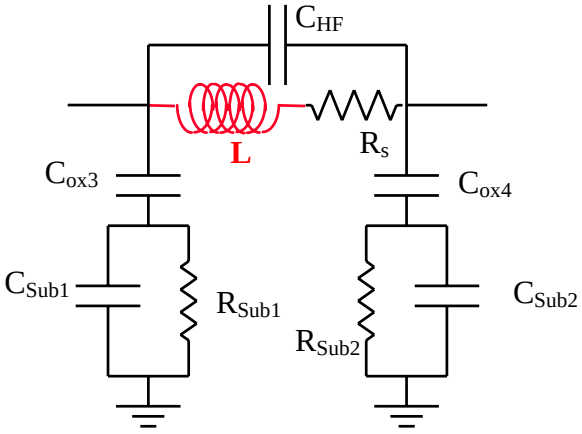
actives. Or pour réaliser un effet capacitif if faut des armatures entourant un diélectrique. La migration du métal vers l'oxyde diélectrique empêchait le fonctionnement capacitif. D'où le recours au polysilicium. Or nous venons de voir que ce matériau est fortement résistif. Au lieu d'une seule capacité on avait donc une capacité en série avec une résistance. C'est-à-dire un filtre RC dont la fréquence de coupure était d'autant plus faible que le polysilicium était résistif.

Aujourd'hui ce problème est résolu car avant de déposer le métal (aluminium ou cuivre) on dépose plusieurs couches métalliques suivant le procédé Damacène, cher mais qui prévient de toute migration. Ces capacités sont appellées capacité MIM pour Métal-Isolant-Métal.

–Résistances d'accès faibles

–Isolant = SiO_2 ou Si_3N_4 ou autres plus exotiques en cours de développement.

L'ordre de grandeur est de 2 à 5 fF/µm². Les capacités sont donc vite encombrantes !!

III.3 Les inductances

On enroule des rubans de métal sous forme de spirale sur une couche d'oxyde la plus éloignée possible du substrat silicium. Les inductances sont les éléments passifs les plus délicats à concevoir dans la mesure où elles prennent énormément de place sur un circuit. Pour réaliser une inductance de quelques nH, un encombrement de 200µm par 200µm est nécessaire (soit 40000 µm²). Un transistor NMOS de gain 50 et de longueur de grille L=1µm aura un développement W=40µm (soit 40 µm², soit 1000 fois moins).